

# APPARATUS AND METHOD FOR IMAGE PROCESSING, AND PROGRAM FOR COMPUTER TO EXECUTE

Patent Number: JP2003046738

Publication date: 2003-02-14

Inventor(s): ASAMI TOMOO; YOSHIDA MASASHI

Applicant(s): RICOH CO LTD

Requested Patent: ☐ JP2003046738

Application Number: JP20010235535 20010802

Priority Number(s):

IPC Classification: H04N1/21; G06T1/60; G06T3/60; H04N1/387; H04N1/413

EC Classification:

Equivalents:

## Abstract

**PROBLEM TO BE SOLVED:** To provide an image processor, where the speed of writing into and reading from image memory is made identical, when image data is compressed and when image data is not compressed and the working speed of the system is made constant.

**SOLUTION:** A compression processing means 12 compresses inputted image data to half the size on a block-by-block basis, each block comprising four pixels by four pixels, to generate compressed image data. A memory control portion 14 writes and reads image data into and from the image memory 15 on a block-by-block basis. The memory control portion 14 exercises control, so that the uncompressed image data and the compressed image data are identical in the speed of writing into and reading from the image memory 15 on a block-by-block basis, and thereby makes equal the uncompressed image data and the compressed image data in the speed of writing into and reading from the image memory 15. Further, the memory control portion 14 exercises control, so that the speed of reading image data from the image memory 15 becomes identical, regardless of whether or not the images are rotated.

Data supplied from the esp@cenet database - 12





コンピュータが、プログラムを実行して請求項7〜請求項12のいずれか1つに記載の各ステップを実現する。

[0030]

【発明の実施の形態】以下、図面を参照して、本発明にかかると画像処理装置、画像処理方法、およびその画像処理方法を実行するためのコンピュータが実行するためのプログラムの好適な実施の形態を、[画像処理装置]、[画像メモリ手段]、[画像メモリの書き込み動作]、[画像メモリの読み出し動作]の順に詳細に説明する。

[0031] [画像処理装置] 図1は、本発明の画像処理装置の機能ブロック図である。図1に示すように、画像処理装置は、画像データ入力手段1、画像処理手段2、画像メモリ手段3、および画像出力手段4を備えている。

[0032] 画像データ入力手段1は、例えばカラーズキャンサ等からなり、RGB画像データを入力する。画像処理手段2は、画像データ入力手段1により入力されたRGB画像データを取り込んで、平滑化およびエッジ強調を行い、YMCKの面順次データに変換して、YMCCKデータを入力する。画像メモリ手段3は、画像処理手段2から入力されるYMCCKデータを圧縮してまたは圧縮のまま画像メモリ15 (図2参照) に記憶し、回転してまたは回転させずに読み出し出力する。画像出力手段4は、画像メモリ手段3によって処理された画像データを紙に転写して出力する。

[0033] [画像メモリ手段] 図2は、図1の画像メモリ手段3の詳細な構成を示すブロック図である。画像メモリ手段3は、図2に示す如く、ラインメモリ11、圧縮処理手段12、圧縮選択手段13、メモリ制御部14、画像メモリ15、伸張処理手段16、伸張選択手段17、およびデータスワップ処理手段18とを備えている。

[0034] ラインメモリ11は、画像データ入力手段1より入力されたCMYK画像データを3ライン分格納する。圧縮処理手段12は、ラインメモリ11に格納される画像データおよび画像処理手段12より直投入力される画像データに対して固定長の圧縮処理を施す。圧縮選択手段13は、画像圧縮時には圧縮処理手段12からの画像データを、非圧縮時にはラインメモリ11からの画像データを選択して出力する。画像メモリ15は、SDRAMからなるページメモリで、圧縮選択手段13により選択された画像データを記憶する。

[0035] メモリ制御部14は、画像メモリ15へのデータ読み出し制御を行う。メモリ制御部14は、画像メモリ15に格納された圧縮/非圧縮の画像データを、メモリ15に格納された圧縮/非圧縮の画像データを、回転させて読み出す回転制御出しモードと、回転させずに読み出す非回転制御出しモードとを備えている。ここで、メモリ制御部14は、メモリアクセスを行うための各種制御信号およびメモリアドレスを生成するコントロー

順次ライトする場台だけでなく、回転して読み出す場合にもセクター単位での画像メモリ15へのページアクセスが可能となる。以下、具体的に、メモリ制御部14による画像メモリ15のデータライトの制御を、①圧縮時、②非圧縮時に分けて説明する。

[0048] ①圧縮時

圧縮時には、8アドレス毎 (1セクター内の1ライン分、すなわち8ブロック毎) のページライトを行う (SDRAMバスモードモード使用せず)。例えば、図7における、ページライトで、アドレス0、1、2、3、4、5、6、7がアクセスし、次は、アドレス40、41、42、43、44、45、46、47がアクセスし、1ラインの書き込みを結了した後、次のラインの書き込みを行う。

[0049] ②非圧縮時

非圧縮時には、8アドレス毎のページライトをSDRAMバスモードとしてアクセスする。すなわち、1回Mバスポート数=2としてアクセスする。ここで、2回Mバスポートアクセスで2アドレス分をアクセスする。ここで8アドレス毎としている理由は、データパツファ2を圧縮時と同じサイズで実現するためである (1セクター内の1ライン分は2ページに分ける)。例えば、図8において、ページライトで、アドレス0、2、4、6をバスポートアクセス (バスポート数=2) し (メモリ素子として、アドレス0、1、2、3、4、5、6、7を通してアクセスされているのと同じことになる)。次は、7アドレス8、a、c、eをバスポートアクセスし、その次は、アドレス80、82、84、86をバスポートアクセスする。

[0050] つぎに、図9および図10のタイミングチャートを参照して、圧縮時および非圧縮時の画像メモリ15への画像データの書き込みタイミングを説明する。図9は、圧縮時の画像メモリ15のライト動作を説明するためのタイミングチャートである。以下に、図9および図10のタイミングチャートの各信号を説明する。

[0051] LGATE: 主送受効信号 (ハイアクトイプ)。

LGATEO: 主送受効信号、ハイアクトイプ。  
start: リフレッシュかメモリライト動作かを実行するための開始リクエスト信号。

opcode [3: 0]: SDRAMに対するアクセスコマンドを指定する信号。

get\_command: start=1かつ本信号=1のときに、opcodeのコメントを受け付ける。  
Base\_addr: 1ブロック分のメモリのアドレスをさす。  
write\_data: 圧縮部より出力される圧縮画像データ。

hor\_count [4: 0]: LSYNC信号を基準

50

ための図、図5は、画像データ圧縮時の画像メモリ15のメモリデータ (画像データ) の格納フォーマットを示す図、図6は、画像データの非圧縮時のメモリデータ (画像データ) の格納フォーマットを示す図である。

[0041] 図4において、画像データの4×4の画素を1ブロックと定義する。各画素が8ビットデータの組合、GBTC圧縮 (1/2圧縮) 時の画像データは16画素単位でパツキングされ、図5に示す64ビットのデータフォーマット形式で画像メモリ15に記憶する。メモリ制御部14は、圧縮時には、4画素クロックに1回の割合で上記64ビットデータ (1ブロック) を画像メモリ15に出力する制御を行う。

[0042] 非圧縮時の画像データも16画素単位でパツキングし (8ビット/画素)、画像メモリ15の2アドレスに主送方向先送2列 (1回目) と後送2列 (2回目) に分けて、図6に示す各々64ビットのデータフォーマット形式で画像メモリ15に記憶する。メモリ制御部14は、非圧縮時には、2画素クロックに1回の割合で2回に分けて上記64ビットデータ (1ブロック) を画像メモリ15に出力する制御を行う。また、メモリ制御部14は、これら出力データの有効領域を示すLGATE信号も併せて同期出力する。

[0043] このように、圧縮時および非圧縮時において、同等で4画素クロックで4画素×4画素 (1ブロック) の画像データが画像メモリ15に出力されることになり、圧縮時と非圧縮時とで画像メモリ15へのデータ出力速度 (書き込み速度) を同じにすることができ

る。

[0044] つづいて、メモリ制御部14のコントローラ部21で行われる画像メモリ15のアドレスデシプリングを説明する。図7はメモリアドレスマッピングを説明するための図、図8は非圧縮時のメモリアドレスマッピングを説明するための図である。

[0045] 図7および図8において、上述したように、4画素×4画素のマトリクスを1ブロックと定義し、1ブロックの画像データは、圧縮時には64ビットデータ1個、すなわち1回のメモリアクセス (17アドレス分) が必要となり、非圧縮時には64ビットデータ2個、すなわち2回のメモリアクセスが (2アドレス分) 必要となる。

[0046] また、8ブロック×8ブロックを1セクターと定義し、1セクターは画像メモリ15において同一ローアドレス空間で構成し、メモリアドレスは、セクター内で連続的にインクリメントされる構造となっている。

[0047] ここで、セクター内をローアドレス空間とした理由は、セクター内で画像メモリ15の同一ページアクセスを可能にするためであり、セクター内でページアクセスしても縦にアクセスしてもページアクセスを実現するためのである。これにより、画像メモリ15に

50

【0065】 つぎに、メモリ制御部14による画像メモリ15からのデータリードの制御を、①0° 回転圧縮時、②0° 回転非圧縮時、③90° 回転圧縮時、④90° 回転非圧縮時について説明する。

【0066】 ①圧縮時  
圧縮時には、8アドレス毎のページリード(1セクタ内)の1ライン分、すなわち8ブロック毎に、図7にお  
けるDRAMバスモードを使用せず)。例えば、図7にお  
いて、ページリードで、アドレス0、1、2、3、4、  
5、6、7をアクセスし、次は、アドレス41、42、  
43、44、45、46、47をアクセスして、1ライ  
ンの読み出しを終了した後、次のラインの読み出しを行  
う。

【0067】 ②非圧縮時  
非圧縮時には、8アドレス毎のページリードをSDRA  
Mバスモードとしてアクセスする。すなわち、1回  
のバスアクセスで3アドレス分をアクセスする。こ  
こで8アドレス毎としている理由は、データバツファ2  
2を圧縮時と同じサイズで実現するためである(1セク  
タ内の1ライン分は2ページに分ける)。例えば、図  
8において、ページリードで、アドレス0、2、4、6  
をバスアクセス(バスモード=2)し(メモリ素子  
として、アドレス0、1、2、3、4、5、6、7を連  
続アクセスされているのと同じことになる)、次は、ア  
ドレス8、a、c、eをバスアクセスし、その次  
は、アドレス80、82、84、86をバスアクセス  
する。

【0068】 ③90° 回転圧縮時  
90° 回転圧縮時には、8アドレス毎のページリード  
e(1セクタ内の1ライン分、すなわち8ブロック毎  
に)により実現する(SDRAMバスモード使用せ  
ず)。図8において、ページリードでは、例えば、アド  
レス38、30、28、20、18、10、8、0を順  
にアクセスする。

【0069】 ④90° 回転非圧縮時  
90° 回転非圧縮時には、8アドレス毎のページリード  
eをSDRAMバスモード=2としてアクセスする。  
ここで8アドレス毎としているのは、データバツファ2  
2を圧縮時と同じサイズで実現できるからである(1セ  
クタ内の1ライン分は2ページに分ける)。

【0070】 図9において、例えば、ページリードで  
は、まず、アドレス70、60、50、40を順にパー  
スアクセス(バスモード=2)する(メモリ素子とし  
て、アドレス70、71、60、61、50、51、4  
0、41を連続アクセスしているのと同じにな  
る。)次に、アドレス30、20、10、0をバスモ  
ードアクセスする(メモリ素子として、アドレス30、3  
1、20、21、10、11、0、1を連続アクセスし  
ているのと同じ)。

【0071】 つぎに、図12および図13を参照して、

ス目の入力データをデータバツファ22に取り込むタイ  
ミングより後になるようにする。また、これに対し  
て、メモリフレッシュ動作がこれに非同期で発生す  
る場合を考慮すると、リフレッシュ動作によりページア  
ドレス開始が遅れられても、データバツファ22が次のデ  
ータ取り込みで更新される前にメモリライト動作を終了  
させることが可能な動作シーケンスとなるよう制御す  
る。

【0061】 [画像メモリの読み出し動作] つぎに、上  
記画像メモリ手段13において、画像メモリ15に書き  
込まれた画像データをリードする際の動作を図11〜図  
17を参照して説明する。上述のように、画像メモリ  
15の1セクタ内のメモリアドレスを連続させて同一  
ローアドレスとしているのは、メモリデータを単にペー  
ジライトするためだけでなく、回転して読み出す際  
にも、同様のページメモリアクセスを可能とするため  
である。90°、180°、270° 回転の読み出し時に  
も、8アドレス分のページリードアクセスが可能とな  
る。

【0062】 図11を参照して、画像メモリ15から画  
像データを回転させて読み出す場合の回転方法の概略を  
説明する。図11は、画像メモリ15から画像データを  
回転させて読み出す場合の回転方法の概略を説明するた  
めの説明図である。

【0063】 同図において、(A)は非回転時、(B)は  
70° 回転時、(C)は180° 回転時、(D)は2  
70° 回転時を示している。同図において、斜線部はメ  
モリ空間の有効領域(有効領域)、黒色角は読み取り開  
始アドレス(スタートアドレス、先頭ブロック)を示し  
ている。画像メモリ15から画像データを読み出す際  
は、ブロック単位での読み出しを行い(ブロック内の4  
×4画素はそのまま)、回転した場合には、後段のデー  
タスワップ処理手段18でブロック内の画素の回転を行  
う。

【0064】 同図(A)に示すように、非回転時には、  
有効画像の左上から右上に1ラインのブロックを読み  
出し、順次、下段の行を左から右にライン毎に読み取  
り、これを有効画像が終了するまで行う。また、同図(B)  
に示すように、90° 回転時には、有効画像の左下から  
上方向に1ラインのブロックを読み出し、順次、右隣の  
列のラインを下から上方向にライン毎に読み出し、これ  
を有効画像が終了するまで行う。また、同図(C)に示  
すように、180° 回転時には、有効画像の右下から左  
方向に1ラインのブロックを読み出し、順次、上隣の行  
のラインを右から左方向にライン毎に読み出して、これ  
を有効画像が終了するまで行う。また、同図(D)に示  
すように、270° 回転時には、有効画像の右上から右  
下方向に1ラインのブロックを読み出し、順次、左隣の  
列のラインを上から下にライン毎に読み取り、これを有  
効画像が終了するまで行う。

or\_count値は05hになるよう制御されてい  
る。画像メモリ15にライトする入力データは4画素  
クロック単位で出力されるため、8本のデータバツファ  
22には、hor\_count値が05h、09h、0  
dh、11h、15h、19h、1dh、01hの時の  
データが順次格納される。

【0055】 次に、これらデータバツファ22に格納し  
た画像データを画像メモリ15にページライトする。例え  
ば、図9のタイミングチャートに示すように、画像メモ  
リ15には2CLK分1アドレス分のデータをライトし  
ているので、ページライトの最後となる8アドレス目の  
データライト処理が、8アドレス目の入力データをデー  
タバツファ22に取り込むタイミングより後になるよう  
にする。また、これに対して、メモリフレッシュ動  
作がこれに非同期で発生する場合は考慮すると、リフ  
レッシュ動作によりページアクセス開始が遅れられても、  
データバツファ22が次のデータ取り込みで更新される  
前にメモリライト動作を終了させるように、動作シー  
ケンスを制御する。

【0056】 ②非圧縮時  
次に、図10のタイミングチャートを参照して、非圧縮  
時の画像メモリのライト動作を説明する。  
【0057】 非圧縮時には、前述したように、圧縮選択手  
段13から出力される画像データはLGATE信号が  
「1」のとき、1アドレス分の画像データを2画素クロ  
ック単位で間断無く切り替わる。また、画像メモリ15  
には、8アドレス分のページライトを実現するために、  
2×8=16画素クロックに1回の割合で8アドレス  
分のページライト動作を行う。その際、圧縮時に使用し  
たhor\_countの下位4ビットの値を基準として  
動作を実現する。

【0058】 まず、LGATE立上り時にはhor\_c  
ount値は5hになるよう制御される。画像メモリ1  
5にライトする入力データは2画素クロック単位で出  
力されるため、8本のデータバツファ22には、hor  
\_count値が増える時のデータを順次格納していけ  
ば良い。

【0059】 つぎに、これらデータバツファ22に格納  
した画像データを画像メモリ15にページライトする。  
例えば、図10のタイミングチャートでは、SDRAM  
バス機能を使用し(バスモード=2)、1ブロック  
分の画像データ、すなわち8アドレス分の画像データを  
バスモードでライトし、これを8アドレス分ページライ  
トを行う。このとき、画像メモリ15のカラムアドレス  
は、ページアクセス内で変化させ、バスモードで行われ  
る2アドレス目については、1アドレス目を単にインクリ  
メントしたものを使用する。

【0060】 画像メモリ15には、1CLK分1アド  
レス分のデータをライトしているのので、ページライ  
ト最  
後となる8アドレス目のデータライト処理が、8アドレ

としてカウントする5ビットカウンタ。  
Wbuf1-8: SDRAMに対しメモリライトを行う  
にあたってのライトデータバツファ。  
Rbuf1-8: SDRAMからの読み出しデータ用バ  
ツファ。  
ram\_cs\_n: SDRAMへのCS信号。ロウアク  
ティブ。  
ram\_ras\_n: SDRAMへのRAS信号。ロウ  
アクティブ。  
ram\_cas\_n: SDRAMへのCAS信号。ロウ  
アクティブ。  
ram\_we\_n: SDRAMへのWE信号。ロウアク  
ティブ。  
ram\_addr[11:0]: SDRAMへのアドレ  
ス信号。  
ram\_ba: SDRAMへのバンクセレクト信号。  
ram\_dq: SDRAMのデータバス信号。  
【0052】 <OPCODE 記号の意味>  
REF: オールバンクプリチャージ & オートリフレ  
ッシュ  
WRx: バンクアクティブ & メモリライト  
WRz: メモリライト with オートプリチャージ  
RDx: バンクアクティブ & メモリリード  
RDy: メモリリード  
RDz: メモリリード with オートプリチャージ  
【0053】 <SDRAMへのCommand 記号の意  
味>  
allPC: オールバンクプリチャージコマンド  
ARF: オートリフレッシュコマンド  
ACT: バンクアクティブコマンド  
write: ライトコマンド  
Wap: ライト&オートプリチャージコマンド  
read: リードコマンド  
Rap: リード&オートプリチャージコマンド  
【0054】 ①圧縮時

図9のタイミングチャートを参照して、圧縮時の画像メ  
モリのライト動作を説明する。圧縮時には、圧縮処理手  
段12より出力される画像データは、LGATE信号が  
「1」のとき、1アドレス分のデータ(1ブロック: 4  
×4画素データ)が4画素クロック単位で間断無く切り  
替わる。また、画像メモリ15には、8アドレス分のペ  
ージライトで実現するために、4×8=32画素クロッ  
クに1回の割合で8アドレス分のページライト動作を  
行う。また、このLGATE信号は図示しない主走査同  
期信号L SYNCで規定されるタイミングで発生するよ  
うに制御している。このため、L SYNC信号を基準と  
してインクリメント動作を開始する5ビットカウンタh  
or\_countを用意し、このカウント値を基準とし  
て動作を実現する。まず、LGATE立上り時には、h

LA [2: 2: 0] = 7 であるか否かを判定する (ステップ S5)。ここでは、LA [2: 0] = 7 であるか否かを判定して、セクタの最右列のブロックであるかを判定し、セクタの最右列のブロックでない場合には、LA [2: 0] = 7 ではない場合、すなわち、セクタの最右列のブロックでない場合には、LA [2: 5: 6] を保持、LA [5: 3] を保持、LA [2: 0] を単位インクリメントして (ステップ S1)、ステップ S1 に戻る。

[0089] 他方、ステップS5において、LA[2: 7] = 1である場合、すなわち、セクターの最右列のブロックがある場合には、同一ラインの次のセクタの最右列のアドレスが次のアドレスとなるので、列アドレスを示すビットLA[2 : 0]をインクリメントして「0」とし、行アドレスを示す3ビットLA[5 : 3]はスタターアドレスを保持し、セクターアドレスLA[25 : 6]は次のセクターとなるのでインクリメントして(ステップS6)、ステップS1に戻る。

【0090】一回のメモリアクセスが行われると、これと同様に次のメモリアクセス時のアドレス生成を行う（上述のスタートアドレスを現アドレスに置き換えて説明できる。）。

【0091】これまでは、アドレスを領域の1ラインを右方向に変化させていたが、途中でL Aがメモリアクセス領域の最右列に達した場合には、次のアドレスは次のラインの領域先頭アドレスに変化させる。

【0092】ステップS3では、LA[5:3]=7であるか否かを判断して、現アドレスがセクター内で最下ラインであるか否かを判断する。この判断の結果、LA[5:3]=7でない場合、すなわち、現アドレスがセ

ト化  
クタクタ内で最下ラインでない場合には、セクターノットに変  
スを示すLA [25 : 6] をライン先頭アドレスにインクリメン  
させ、行アドレスを示すLA [5 : 3] をインクリメントし、列ア  
ドレス、行アドレスを示すLA [2 : 0] をライン先頭アドレ  
スに置き換え（ステップS8）、ステップS1に戻る。

【0093】 他方、ステップS3で、LA[5:3]で7である場合、すなわち、メールアドレスがセクター内では下ラインである場合には、セクターアドレスを示すLA[2:5]で6をインクリメントし、行アドレスを示すLA[5:6]をインクリメントして、セクターの最上ラインすなわち「0」とし、列アドレスを示すLA[2:4]をライン先頭アドレスに変化させた後（ステップS4）、ステップS1に戻る。そして、これらステップS1～ステップS8の処理を構成するアドレスに達するまで繰り返して実行する。

【0094】つぎに、0° 読み出し（画像メモリ15のデータが圧縮されていない場合：非圧縮時）のメモリアドレスを参照して説明図15のフローチャートを参照して説明する。メモリアドレスとしては、圧縮時に比べて画像メモリ15のアドレス範囲は狭くなる。非圧縮時には、圧縮時に比べて画像メモリ15のアドレス範囲は広い。

位での読み出しを行っているため、ブロック内の画素データは回転されていないためである。

【0083】さらに、メモリ制御部14のメモリアクセスを行う際のメモリアドレスシフトを図14～図17を参照して説明する。図14は、圧縮時の0°メモリ読み出しおよび書き込みアドレスシフト動作を説明するためのフローチャート、図15は、非圧縮時の0°メモリ読み出しおよび書き込みアドレスシフト動作を説明するためのフローチャート、図16は、圧縮時の90°メモリ読み出しのアドレスシフト動作を説明するためのフローチャート、図17は、非圧縮時の90°メモリ読み出しのアドレスシフト動作を説明するためのフローチャートである。

【0084】実際に画像メモリ15 (SDRAM) によるアドレスは1つのアドレスに対して、バンクアドレス、ローアドレス、カムアドレスに時分割して出力する。これら時分割して出力する技術は、SDRAMの公知の制御方法であるので、本発達の形態では、時分割前のアドレス制御について説明する。画像メモリ15へのアクセスはブロック単位で構成される矩形領域単位で行う。メモリアクセスを行う場合の矩形領域の指定は、ソフトウェアで任意の大きさおよび位置を指定できるものとする。

【0085】ここで、メモリアドレスへのアドレス線割り振り  
けは、メモリアドレスをリニアアドレス26ビットの128  
MBとした場合、リニアアドレスLAのビット0～2は  
カラムアドレス、10～21はローアドレス、22～2  
3はバンクアドレス、24～26はチップセレクトに割  
り当てる。

【0086】まず、0° 群み出し（画像メモリ15の画像データが圧縮されている場合）のメモリアドレスシフト量を図14のフローチャートを参照して説明する。この場合、メモリアドレスシフト量はメモリアイト時も同様である。メモリアドレスはソフトウェアで指定するスタートアドレスで始まり、次のメモリアイトのためにアドドレスを切り替えていく。0° 群み出し（画像メモリ15のデータが圧縮されている場合）時には、LA[2:0]を列アドレス、LA[5:3]を行アドレス、LA[2:0]をセクターアドレスに設定する。【25:6】をセクターアドレスに設定する。

【0087】0° 読み出し時には、上述のように、左  
上から画像データのブロックを1ラインずつ順次読み出し  
ます(図14において、まず、画像メモリ15の  
5のデータ領域が終了したか否かを判断する(ステップ  
S11)。(図14の参照)。この判断の結果、画像メモリ15のデータ領域  
が終了する場合には、当該フローを終了する一方、画像  
メモリ15のデータ領域が終了していない場合には、ラ  
インが終了したか否かを判断する(ステップS12)。ス  
タート時には、ステップS1およびS2ともNOとな  
る。

【0088】ラインが終了していない場合には、LA

16

【0077】画像データを回転して読み出す場合は、8  
アドレス分のべージリーダーアドレスと方向に強化させる。導線が  
カラムアドレスを順次繰返すとすると、導線は、導線の目的の  
ためのカラムアドレスと設定により、導線をインクリメントしたものと、これにより、  
アドレスをインクリメントし出した時に、ブロック単位でデ  
ータを逐次読み出すことが可能となる。

10 【0078】以上のように、画像データの圧縮の有無および回転の有無に拘わらず、1ブロック単位でメモリアクセスが可能となる。

【0079】上述のデータバッファ12は、圧縮処理手段11より出力されるデータをバッファリングし、画像メモリ15へのライトタイミングと同期して出力する装置を果たし、画像メモリ15への1回のページアクセスで8ワード分のデータが必要となるため、本データバッファ12はアドレス分用意しておけば十分である。

【0080】これとは逆に、画像メモリ15からの読み出しデータを書き込みデータと同様にビデオ出力させるためには、メモリライト時と同様、データバッファ22が8アドレス分必要となる。ここで画像メモリ15へのアクセスが、ライト/リードが同時発生しないのであれば、これらのデータバッファ22は共通化して、ライト/リードの動作ことに切りかえられたい。メモリライト、メモリリードとも4ラインに1回の発生であるから、ライン単位でリード、ライトをアービトレーションして処理を切り替える等の制御が可能である（図3参照）。

30 【0081】次に、画像メモリ15から解凍出力された画像データの処理について説明する。メモリ制御部14は、圧縮画像メモリ15から読み出された画像データを、圧縮画像データの命令には伸張処理手段16に、非圧縮の縮画像データの命令には伸張処理手段17に出力される。画像メモリ15への書き込み動作においても示したように、8アドレス分をベージリードアクセスする動作を繰り返す。メモリ制御部14は、読み出した画像データをデータバッファ702に一旦格納し、後段（圧縮画像データの命令には伸張処理手段16に、非圧縮の画像データの命令には伸張処理手段17に）に対してのレートで出力する（圧縮時には2画素クロック単位、非圧縮時には1画素クロック単位で出力される）。

【0082】伸縮処理手段16は、圧縮画像データを伸縮処理して、伸縮選択手段17に出力する。データストリーム処理手段18では、伸縮選択手段17から入力される画像データが回転されたものである場合には、画像データのブロック（4画素×4画素）内の画素データの回転のブロック（4画素×4画素）内からブロック単位処理を行う。これは、画像メモリ15からブロック単

圧縮時と非圧縮時の画像メモリ15の読み出しタイミングチャート、図12は圧縮時のメモリリードのタイミングチャート、図13は非圧縮時のメモリリードのタイミングチャートを示している（各信号の説明については図9および図10参照）。

【0072】図12のタイミングチャートを参照し、圧縮時のメモリ12動作を説明する。まず、全体像を説明する。メモリ制御部14は、画像メモリ15にローックアップされたデータを抽出して、これをビデオ記録装置で遅延後戻りを出す。すなわちメモリ15とクロック域で遅延後戻りをし、2画面クロックサイクルに1回の割合で、2画面分のデータを書き出し、その後、メモリ16から読み出され、画像レコーダを一且つ、メモリ19に出力する。

【0073】画像メモリ15から読み出したから後修補処理が不要となり、メモリリフレッシュ動作も必要ない。出力するまでの時間が長すぎると、次のメモリアクセスでデータバッファ22が書きかえられてしまふと、データバッファ22に格納してから後段に出力するまで時間短縮は短い方がよい。しかしメモリフレッシュ動作の間、メモリードが遅れることを考慮してまうことと、メモリリフレッシュの遅れ方、早めをメモリリフレッシュ処理のトリガとなるように制御すればよい。

【0074】このため、後段に対する出力画像の有効信号LGA TEOの開始に対して、画素クロックライン手前で8アドレス分のページリトリガーをかけ、以後、32画素クロック単位で同ページリトリガーをかけるようになる。メモリには反転して読み出す場合もあるが、このときにはアドレス分のみページリトリガーをかける。このようにして、ページリトリガーを逐次繰返す方向に変化させればよい。

[0075] 次に、図13のタイミングチャートを見て、非圧縮時のメモリーリード動作を説明する。全体動作を説明する。メモリ制御部14は、画像15に格納されているデータを読み出して、これを15キロクロック単位で後段へ出力する。すなわち、ライスト時と同様、16画素クロックサイクルに1回、8アドレス分のページメモリー22を行う。[0076] また、バースト数を「2」としてメタセスを行う。画像メモリー15から読み出されたデータは一旦データバッファ22に格納し、これを出力する。画像メモリー15から読み出したから後出力するまでの時間間隔とする。次のメモリアクセスデータバッファ22がきかえられていくため、データバッファ22に格納してから後段へ出力するためには短い方がよい。しかし、メモリアプリケーションで、メモリーードが遅れてしまうことも考慮する。この遅れ分、早めにもメモリーード処理のトリガーを主としていっている。このため、後段に対して、画像15有効信号LGAEOの後半に於いて、画像15有効信号LGAEOの手前まで8アドレス分のページメモリーード



23

であるか否かを判断して、現アドレスがセクタ内では最右列でないか否かを判断する。この判断の結果、LA [3:1] = 7でない場合、すなわち、現アドレスがセクタ内では最右列ではない場合には、セクタアドレスを示すLA [25:7] を読み出し先頭セクタアドレスに切り替え、行アドレスを示すLA [6:4] を読み出し先頭アドレスに変化させ、行アドレスを示すLA [3:1] は一列右となるためインクリメントさせた後(ステップS38)、ステップS31に戻る。

[0122] 他方、ステップS33で、LA [3:1] = 7である場合、すなわち、現アドレスがセクタ内で最右列の場合には、セクタアドレスを示すLA [25:7] は読み出し先頭セクタの次のため、インクリメントして、ライン先頭アドレスを示すLA [6:4] を読み出し先頭アドレスに変化させ、インクリメントし、さらに、列アドレスを示すLA [3:1] は、1列右、すなわち、LA [3:1] = 7をインクリメントして10に変化させた後(ステップS34)、ステップS31に戻る。

[0123] そして、これらステップS31～ステップS38の処理を繰返したアドレスに達するまで繰返し実行する。

[0124] 以上説明したように、本実施の形態においては、圧縮処理手段12は、入力される画像データで、4画素×4画素のブロック毎に、1/2に圧縮して圧縮データAを生成し、メモリ制御部14は、画像メモリ15に対して画像データをブロック単位での書き込み/読み出しを行い、非圧縮の画像データと圧縮画像データとで、画像メモリ15に対するブロック単位の書き込み/読み出し速度が同じとなるように制御することとしたので、非圧縮の画像データと圧縮画像データとで、画像メモリ15に対する書き込み速度/読み出し速度を同じとすることができ、一定のシステム動作速度で制御することが可能となる。

[0125] また、8ブロック×8ブロック (mは2以上の整数) を1セクタとし、セクタ内のアドレスを同一ロープアドレスとして、画像メモリ15に記憶された非圧縮の画像データまたは圧縮画像データのブロックをライン毎に読み出し、画像メモリ15から読み出す方向を変更して回転して読み出すこととしたので、画像メモリ15から読み出す画像データを回転して読み出すことができ、また、回転時と非回転時とで読み出し速度を同じとすることが可能となる。

[0126] なお、上記した実施の形態においては、入力される画像データのサイズに応じて、圧縮するか否かを決定して、圧縮する場合には圧縮処理手段12に、圧縮しない場合には圧縮処理手段13に出力を切り替える手段を設けることにしても良い。これにより、画像データのサイズに応じて自動的に圧縮の有無を決定すること

ができ、画像サイズが画像メモリ15の容量を超えてし

24

まう場合でも画像メモリ15に画像データを格納することが可能となる。

[0127] また、上記した実施の形態では、画像データの圧縮処理方式としてGBTCを使用しているが、本発明はこれに限られるものではなく、他の圧縮方式を採用することにしても良い。また、圧縮率も1/2に限られるものではない。さらに、画像データのブロックやセクタの定義も実施の形態に限られるものではない。

[0128] 上述の画像処理方法は、予め用意されたプログラムをパーソナルコンピュータやワークステーション等のコンピュータで実行することにも良い。このプログラムのハードディスク、フロッピー(登録商標)ディスク、CD-ROM、MO、DVD等のコンピュータが読取可能な記録媒体から読み出されることにより実行される。また、このプログラムは、上記記録媒体を介して、また伝送媒体として、インターネット等のネットワークを介して配布することができ、

[0129] なお、本発明は、上記した実施の形態に限定されるものではなく、発明の要旨を変更しない範囲で適宜変形可能である。

[0130]

【発明の効果】 以上説明したように、請求項1にかかる画像処理装置によれば、圧縮手段は入力される画像データを圧縮処理して圧縮画像データを生じ、画像メモリは非圧縮の画像データまたは圧縮画像データを記憶し、制御手段は、画像メモリに対する、非圧縮の画像データまたは圧縮画像データの書き込み/読み出しを制御し、その際、非圧縮の画像データと圧縮画像データとで、画像メモリに対する書き込み速度/読み出し速度が同じとなるように制御することとしたので、非圧縮の画像データと圧縮画像データとで、画像メモリに対する書き込み速度/読み出し速度を同じとすることができ、一定のシステム動作速度で制御することが可能となる。

[0131] また、請求項2にかかる画像処理装置によれば、請求項1にかかる発明において、制御手段は、画像メモリに記憶される非圧縮の画像データまたは圧縮画像データを読み出す際に、回転させて読み出す回転読み出しモードと、回転させないで読み出す非回転読み出しモードとを備えているので、請求項1にかかる発明の効果に加えて、画像メモリから画像データを回転させて読み出すことが可能となる。

[0132] また、請求項3にかかる画像処理装置によれば、請求項3にかかる発明において、制御手段は、回転させて読み出す回転読み出しモードと回転させないで読み出す非回転読み出しモードとで、画像メモリに記憶された非圧縮の画像データまたは圧縮画像データの読み出し速度が同じとなるように制御して、回転時と非回転時で読み出し速度を同じとすることとしたので、請求項2にかかる発明の効果に加えて、回転時と非回転時で読み出し速度を同じとすることが可能となる。

[0138] また、請求項9にかかる画像処理方法によ

(14)

25

[0133] また、請求項4にかかる画像処理装置によれば、請求項1にかかる発明において、決定手段は、入力される画像データのサイズに応じて、圧縮するか否かを決定することとしたので、請求項1にかかる発明の効果に加えて、画像サイズが画像メモリ以上の大きな容量の場合には、自動的にデータ圧縮を行って、画像メモリに格納することが可能となる。

[0134] また、請求項5にかかる画像処理装置によれば、請求項1～請求項4のいずれか1つにかかる画像処理装置において、圧縮手段は、入力される画像データを、n画素×n画素 (nは2以上の整数) のブロック毎に、1/L (ただし、L>1) に圧縮して圧縮画像データを生じ、制御手段は、画像メモリに対してブロック単位での書き込み/読み出しを行い、非圧縮の画像データと圧縮画像データとで、画像メモリに対するブロック単位の書き込み速度/読み出し速度が同じとなるように制御することとしたので、請求項1～請求項4にかかる発明の効果に加えて、簡単な方法により、非圧縮の画像データと圧縮画像データとで、画像メモリに対する書き込み速度/読み出し速度を同じとすることが可能となる。

[0135] また、請求項6にかかる画像処理装置によれば、請求項5にかかる画像処理装置において、制御手段は、mブロック×mブロック (mは2以上の整数) を1セクタとし、セクタ内のアドレスを同一ロープアドレスとし、画像メモリに記憶された非圧縮の画像データまたは圧縮画像データのブロックをライン毎に読み出し、回転読み出しモードでは、画像メモリから読み出し方向を変更して回転して読み出すこととしたので、請求項5にかかる発明の効果に加えて、簡単な方法で画像データを回転させることが可能となる。

[0136] また、請求項7にかかる画像処理方法によれば、入力される画像データを圧縮処理して圧縮画像データを生じ、画像メモリに対する、非圧縮の画像データまたは圧縮画像データの書き込み/読み出しを制御し、画像データと圧縮画像データとで、画像メモリに対する書き込み速度/読み出し速度が同じとなるように制御することとしたので、非圧縮の画像データと圧縮画像データとで、画像メモリに対する書き込み速度/読み出し速度を同じとすることができ、一定のシステム動作速度で制御することが可能となる。

[0137] また、請求項8にかかる画像処理方法によれば、請求項7にかかる発明において、画像メモリに記憶されている非圧縮の画像データまたは圧縮画像データを回転させて読み出す回転読み出しモードと、回転させないで読み出す非回転読み出しモードとを備えたこととしたので、請求項7にかかる発明の効果に加えて、画像メモリから画像データを回転させて読み出すことが可能となる。

[0138] また、請求項9にかかる画像処理方法によ

26

れば、請求項8にかかる発明において、回転させて読み出す回転読み出しモードと回転させないで読み出す非回転読み出しモードとで、画像メモリに記憶された非圧縮の画像データまたは圧縮画像データの読み出し速度が同じとなるように制御することとしたので、請求項8にかかる発明の効果に加えて、回転時と非回転時で読み出し速度を同じとすることが可能となる。

[0139] また、請求項11にかかる画像処理方法によれば、請求項7にかかる発明において、前記入力される画像データのサイズに応じて、圧縮するか否かを決定することとしたので、請求項7にかかる発明の効果に加えて、画像サイズが画像メモリ以上の大きな容量の場合には、自動的にデータ圧縮を行って、画像メモリに格納することが可能となる。

[0140] また、請求項11にかかる画像処理方法によれば、請求項7～請求項10にかかる発明において、入力される画像データを、n画素×n画素 (nは2以上の整数) のブロック毎に、1/L (ただし、L>1) に圧縮して圧縮画像データを生じ、前記制御手段で圧縮した圧縮画像データに対して前記ブロック単位での書き込み/読み出しを行い、非圧縮の画像データと圧縮画像データとで、前記画像メモリに対するブロック単位の書き込み速度/読み出し速度が同じとなるように制御することとしたので、請求項7～請求項10にかかる発明の効果に加えて、簡単な方法により、非圧縮の画像データと圧縮画像データとで、画像メモリに対する書き込み速度/読み出し速度を同じとすることが可能となる。

[0141] また、請求項12にかかる画像処理方法によれば、請求項11にかかる発明において、制御手段では、mブロック×mブロック (mは2以上の整数) を1セクタとし、セクタ内のアドレスを同一ロープアドレスとして、前記画像メモリに記憶された画像データまたは圧縮画像データのブロックをライン毎に読み出し、回転読み出しモードでは、画像メモリから読み出し方向を変更して回転して読み出すこととしたので、請求項11にかかる発明の効果に加えて、簡単な方法で画像データを回転させることが可能となる。

[0142] また、請求項13にかかるコンピュータが実行するためのプログラムによれば、コンピュータが、1つに記憶の各ステップを実行して請求項7～請求項12のいずれか圧縮の画像データと圧縮画像データとで、画像メモリに対する書き込み速度/読み出し速度を同じとすることができ、一定のシステム動作速度で制御することが可能となる。

【図面の簡単な説明】

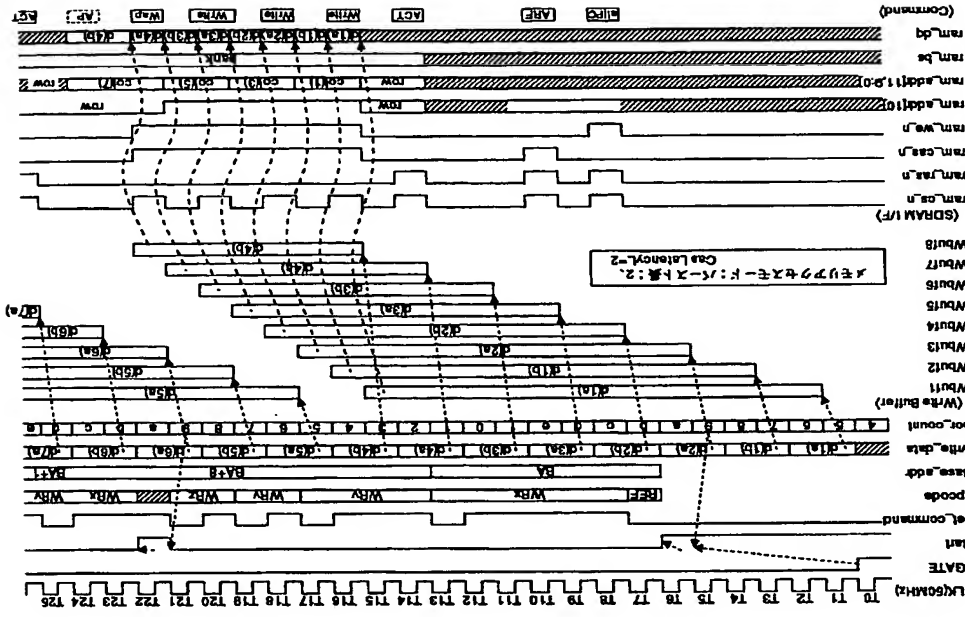
【図1】 本発明の画像処理装置の機能ブロック図である。

【図2】 図1の画像メモリ手段の詳細な構成を示すブロック図である。

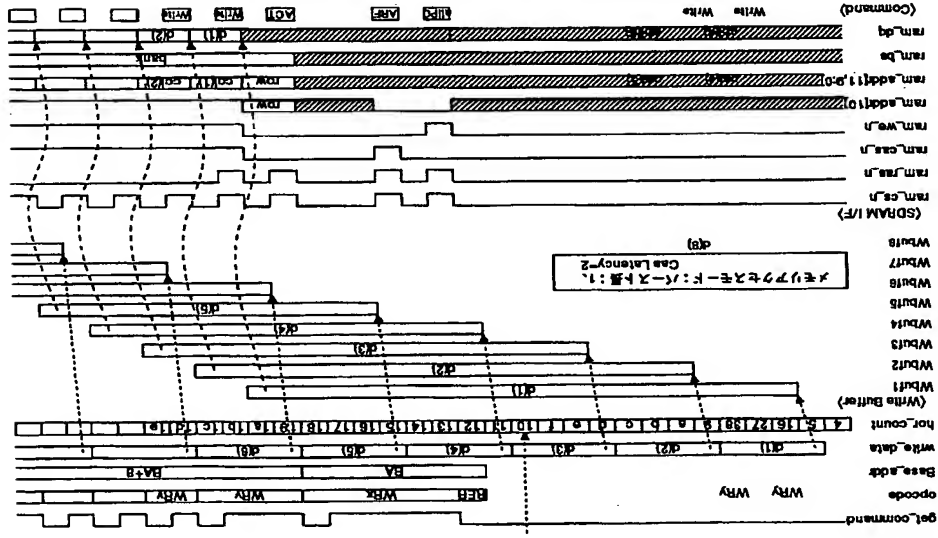
50



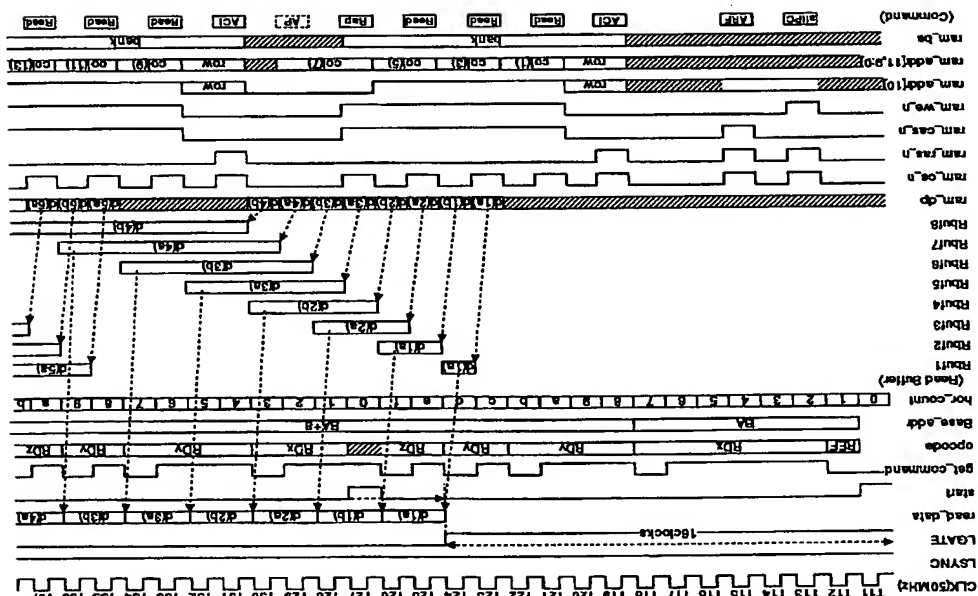
【図10】



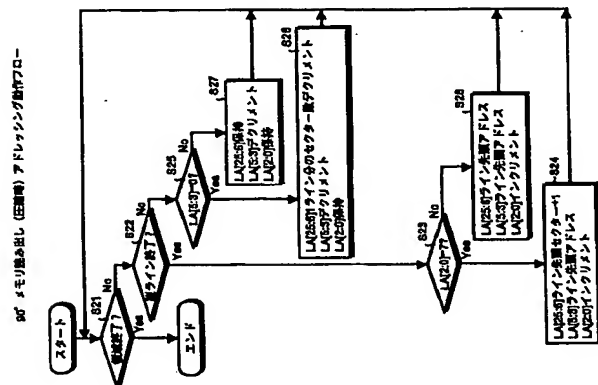
【図9】



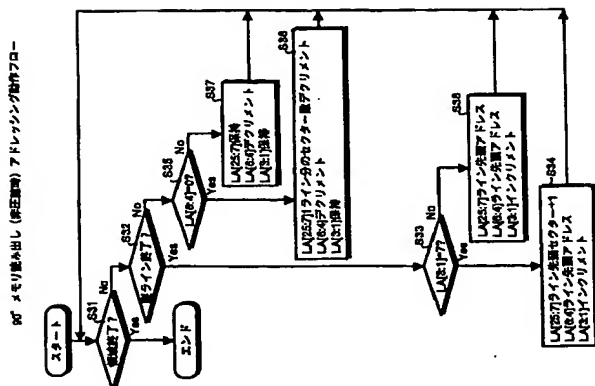




【图 16】



【17】



フロントページの続き

Fター—A(参考)

5B047 EA01 EA05 EB01	
5B057 AA11 BA02 CC02 CD04 CG01	CH11 CH18
	5C073 B907 CE01
	5C076 AA01 AA24 BA03 BA04 BA06
	BA08 BA09
	5C078 BA21 CA00 CA14 DA00 DA01